

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 5日

出 願 番 号

Application Number:

特願2002-197699

[ST.10/C]:

[JP2002-197699]

出 願 人

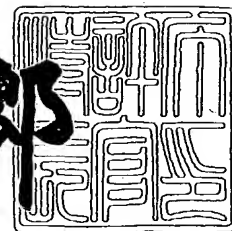
Applicant(s):

パイオニア株式会社
静岡パイオニア株式会社

2003年 1月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3103951

【書類名】 特許願

【整理番号】 56P0691

【提出日】 平成14年 7月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/18

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

【氏名】 重田 哲也

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

【氏名】 長久保 哲朗

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【特許出願人】

【識別番号】 398050283

【氏名又は名称】 静岡パイオニア株式会社

【代理人】

【識別番号】 100083839

【弁理士】

【氏名又は名称】 石川 泰男

【電話番号】 03-5443-8461

【手数料の表示】

【予納台帳番号】 007191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102133

【包括委任状番号】 0106474

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネル駆動装置、表示制御装置および駆動装置

【特許請求の範囲】

【請求項 1】 アドレスデータおよび駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器と、

前記パラレル／シリアル変換器により変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ラインを介して転送する送信部と、

前記伝送ラインを介して転送された前記アドレスデータおよび前記駆動パルス生成制御データを受信する受信部と、

前記受信部により受信されたアドレスデータおよび前記駆動パルス生成制御データをシリアル／パラレル変換するシリアル／パラレル変換器と、

前記シリアル／パラレル変換器により変換された前記アドレスデータおよび前記パルス生成制御データに基づいて、表示パネルを駆動する駆動パルスを生成する駆動パルス出力部と、

を備えたことを特徴とする表示パネル駆動装置。

【請求項 2】 表示パネルの表示を制御する表示制御部と、前記表示制御部からの信号に基づいて前記表示パネルを駆動する駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、

前記データ転送手段は、

前記表示制御部内に、アドレスデータおよび駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器と、

前記パラレル／シリアル変換器によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、を備えとともに、

前記駆動部内に、前記伝送ラインを介して転送された前記アドレスデータおよび前記駆動パルス生成制御データを受信する受信部と、

前記受信部により受信された前記アドレスデータおよび前記駆動パルス生成制御データをシリアル／パラレル変換するシリアル／パラレル変換器と、を備える

ことを特徴とする表示パネル駆動装置。

【請求項3】 表示パネルの表示を制御する表示制御装置において、

請求項2に記載の表示パネル駆動装置の前記表示制御部を備えることを特徴とする表示制御装置。

【請求項4】 表示パネルを駆動する駆動装置において、

請求項2に記載の表示パネル駆動装置の前記駆動部を備えることを特徴とする駆動装置。

【請求項5】 アドレスデータを記憶する記憶部、前記記憶部に記憶されたアドレスデータを読み出す読出部、および駆動パルス生成制御データを発生する制御データ発生部を具備する表示制御部と、

前記アドレスデータを順次蓄積するシフトレジスタ、前記シフトレジスタに蓄積された前記アドレスデータをラッチするラッチ回路、および前記ラッチ回路から出力された前記アドレスデータに基づいて表示パネルを駆動する駆動回路、前記駆動パルス生成制御データに基づいて前記駆動回路に電源電圧を印加する電源回路を具備する駆動部と、

前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備える表示パネル駆動装置において、

前記データ転送手段は、

前記表示制御部内に、前記アドレスデータおよび前記駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器と、

前記パラレル／シリアル変換器によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、

を備えるとともに、

前記駆動部内に、前記伝送ラインを介して転送された前記アドレスデータおよび前記駆動パルス生成制御データを受信する受信部と、前記受信部により受信された前記アドレスデータおよび前記駆動パルス生成制御データをシリアル／パラレル変換するシリアル／パラレル変換部と、

を備えることを特徴とする表示パネル駆動装置。

【請求項 6】 表示パネルの表示を制御する表示制御装置において、
請求項 5 に記載の表示パネル駆動装置の前記表示制御部を備えることを特徴とする表示制御装置。

【請求項 7】 表示パネルを駆動する駆動装置において、
請求項 5 に記載の表示パネル駆動装置の前記駆動部を備えることを特徴とする駆動装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネルなどのマトリクス方式の表示パネルを駆動する表示パネル駆動装置等に関する。

【 0 0 0 2 】

【従来の技術】

特開平 1 1 - 9 5 7 1 3 号公報には、表示装置内においてデジタルデータである画像データ等をライン上で伝送する表示パネル駆動装置が記載されている。ここでは、このデジタル信号を L V D S (Low Voltage Differential Signaling) で伝送する方式 (差動シリアル伝送方式) が用いられている。L V D S による伝送方式は、2 本の信号線を対称的に逆相で駆動し、2 本の信号線の信号の差を伝送する方式であるため、外部から混入するノイズが打ち消しあって信号に影響を与えにくい等の特長がある。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかし、特開平 1 1 - 9 5 7 1 3 号公報に記載された装置は、液晶ディスプレイを駆動するための表示パネル装置であり、例えば、プラズマディスプレイパネル等の表示パネルを駆動するために必要となるアドレスデータや駆動パルス生成制御データを含む信号群を、差動シリアル伝送方式を用いて伝送するのに適した構成については、従来、提言がされていない。そして、一般に、アドレスデータおよび駆動パルス生成制御データとの間でスキュー (タイミングずれ) が発生すると誤動作の原因となるため、このようなスキューを排除する必要がある。スキ

ューを解消するために、例えば、これらの信号の経路に遅延回路などを設けてタイミングを調整することが考えられるが、この場合にはタイミングの調整作業が煩雑となる。

【 0 0 0 4 】

本発明は、信号間のスキューを排除することができる表示パネル駆動装置等を提供することを目的とする。

【 0 0 0 5 】

【課題を解決するための手段】

請求項 1 に記載の表示パネル駆動装置は、アドレスデータおよび駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器（73，113）と、パラレル／シリアル変換器（73，113）により変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ライン（L1，L2）を介して転送する送信部（74，114）と、伝送ライン（L1，L2）を介して転送されたアドレスデータおよび駆動パルス生成制御データを受信する受信部（81，121）と、受信部（81，121）により受信されたアドレスデータおよび駆動パルス生成制御データをシリアル／パラレル変換するシリアル／パラレル変換器（83）と、シリアル／パラレル変換器（83）により変換されたアドレスデータおよび駆動パルス生成制御データに基づいて、表示パネル（30）を駆動する駆動パルス生成部（18）と、を備えたことを特徴とする。

【 0 0 0 6 】

この表示パネル駆動装置によれば、アドレスデータおよび駆動パルス生成制御データをパラレル／シリアル変換して転送するので、アドレスデータおよび駆動パルス生成制御データの間でスキューが発生しない。

【 0 0 0 7 】

請求項 2 に記載の表示パネル駆動装置は、表示パネル（30）の表示を制御する表示制御部（100A）と、表示制御部（100A）からの信号に基づいて表示パネル（30）を駆動する駆動部（100B）と、表示制御部（100A）および駆動部（100B）の間でデータ転送するデータ転送手段と、を備えた表示

パネル駆動装置において、データ転送手段は、表示制御部（100A）内に、アドレスデータおよび駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器（73，113）と、パラレル／シリアル変換器（73，113）によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変換して駆動部（100B）に向けて伝送ライン（L1，L2）を介して転送する送信部（74，114）と、を備えるとともに、駆動部（100B）内に、伝送ライン（L1，L2）を介して転送されたアドレスデータおよび駆動パルス生成制御データを受信する受信部（81，121）と、受信部（81，121）により受信されたアドレスデータおよび駆動パルス生成制御データをシリアル／パラレル変換するシリアル／パラレル変換器（83，123）と、を備えることを特徴とする。

【0008】

この表示パネル駆動装置によれば、アドレスデータおよび駆動パルス生成制御データをパラレル／シリアル変換して転送するので、アドレスデータおよび駆動パルス生成制御データの間でスキューが発生しない。

【0009】

請求項5に記載の表示パネル駆動装置は、アドレスデータを記憶する記憶部（1）、記憶部（1）に記憶されたアドレスデータを読み出す読出部（3）、および駆動パルス生成制御データを発生する制御データ発生部（5）を具備する表示制御部（100A）と、アドレスデータを順次蓄積するシフトレジスタ（15）、シフトレジスタ（15）に蓄積されたアドレスデータをラッチするラッチ回路（16）、およびラッチ回路（16）から出力されたアドレスデータに基づいて表示パネルを駆動する駆動回路（17）、駆動パルス生成制御データに基づいて駆動回路（17）に電源電圧を印加する電源回路（17A）を具備する駆動部（100B）と、表示制御部（100A）および駆動部（100B）の間でデータ転送するデータ転送手段と、を備える表示パネル駆動装置において、データ転送手段は、表示制御部（100A）内に、アドレスデータおよび駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器（73）と、パラレル／シリアル変換器（73）によりシリアル変換された信号を差動シリアル

ル伝送方式に従った信号に変換して駆動部（100B）に向けて伝送ライン（L1）を介して転送する送信部（74）と、を備えるとともに、駆動部（100B）内に、伝送ライン（L1）を介して転送されたアドレスデータおよび駆動パルス生成制御データを受信する受信部（81）と、受信部（81）により受信されたアドレスデータおよび駆動パルス生成制御データをシリアル／パラレル変換するシリアル／パラレル変換部（83）と、を備えることを特徴とする。

【0010】

この表示パネル駆動装置によれば、アドレスデータおよび駆動パルス生成制御データをパラレル／シリアル変換して転送するので、アドレスデータおよび駆動パルス生成制御データの間でスキューが発生しない。したがって、駆動回路により表示パネルを駆動するに際し、誤動作を生じるおそれがない。

【0011】

なお、本発明の理解を容易にするために添付図面の参照符号を括弧書きにて付記するが、それにより本発明が図示の形態に限定されるものではない。

【0012】

【発明の実施の形態】

以下、図1～図9を参照して、本発明による表示パネル駆動装置の一実施形態について説明する。図1は本実施形態の表示パネル駆動装置を示すブロック図である。

【0013】

図1に示すように、本実施形態の表示パネル駆動装置100は、表示制御部100Aと、駆動部100Bと、を伝送ラインL1およびL2により互いに接続して構成される。

【0014】

図1に示すように、表示制御部100Aは、アドレスデータを逐次記憶するフレームメモリ1と、フレームメモリ1にアドレスデータを書き込むための書込制御部2と、フレームメモリ1からアドレスデータを読み出すための読出制御部3と、装置各部を制御する制御部5と、制御部5から出力されるクロックおよび読出制御部3から出力される信号HAの論理積をとるアンド回路6と、フレームメ

メモリ 1 から読み出されたアドレスデータ等の多ビットの平行データを実リアル差動信号に変換するシリアルライザ 7 と、制御部 5 から出力された制御データ等の多ビットの平行データをシリアル差動信号に変換するシリアルライザ 11 と、を備える。

【0015】

駆動部 100B は、シリアルライザ 7 から伝送ライン L1 を介して転送されたシリアル差動信号を多ビットの平行データに変換するデシリアルライザ 8 と、シリアルライザ 11 から伝送ライン L2 を介して転送されたシリアル差動信号を多ビットの平行データに変換するデシリアルライザ 12 と、1 ライン分のアドレスデータを記憶するシフトレジスタ 15、シフトレジスタ 15 に 1 ライン分のアドレスデータが蓄積された時点で、1 ライン分のアドレスデータをラッチするラッチ回路 16、および 1 ライン分のアドレスデータに応じて 1 ライン分のデータパルスを発生させ、このデータパルスをプラズマディスプレイパネル 30 の列電極 Z1 ~ Zm に同時に印加するアドレスドライバ 17 を具備するアドレスドライバ部 18 と、Y サステインパルスをプラズマディスプレイパネル 30 のサステイン電極 Y1 ~ Yn に同時に印加するサステインドライバ 19 と、スキヤンパルスをサステイン電極 Y1 ~ Yn に順次印加するスキヤンドライバ 20 と、X サステインパルスをプラズマディスプレイパネル 30 のサステイン電極 X1 ~ Xn に同時に印加するサステインドライバ 21 と、リセットパルスを発生するリセットパルス発生回路 20A、21A、サステインドライバ 19、スキヤンドライバ 20 およびサステインドライバ 21 等を制御する駆動制御部 22 と、を備える。

【0016】

図 1 に示すように、シリアルライザ 7 は、制御部 5 からのクロックを受けて送信クロックを生成する PLL 部 71 と、フレームメモリ 1 から読み出されたアドレスデータ、アンド回路 6 から出力されたシフトクロック、および制御部 5 から出力されたパルス生成用制御データを制御部 5 からのクロックに基づいてそれぞれラッチする入力ラッチ部 72 と、入力ラッチ部 72 によりラッチされた平行データを PLL 部 71 からの、制御部 5 から入力されたクロックの n 倍の周波数のクロックに基づいてシリアル化する平行/シリアル変換部 73 と、パラレ

ル／シリアル変換部 73 から出力されたシリアルデータをツイストケーブル等からなる伝送ライン L1 を介して差動シリアル送信する送信出力部 74 と、を備える。

【0017】

デシリアライザ 8 は、伝送ライン L1 を介して転送された差動シリアル信号を受信する受信部 81 と、伝送ライン L1 を介して転送された転送クロックを受けてクロックを生成する PLL 部 82 と、受信部 81 から出力されるシリアル信号を PLL 部 82 からの、転送クロックの n 倍の周波数のクロックに基づいてパラレルデータ化するシリアル／パラレル変換部 83 と、シリアル／パラレル変換部 83 から出力されたパラレルデータを PLL 部 82 からのクロックでラッチする出力ラッチ部 84 と、を備える。なお、上記転送クロックおよび出力ラッチ部 84 に与えられるクロックは、PLL 部 71 に入力されるクロックと同一周波数である。

【0018】

このように、本実施形態の表示パネル駆動装置 100 では、アドレスデータおよびパルス生成用制御データの両者をシリアライザ 7 により一連のシリアルデータに変換し、両者を一括して転送している。このため、アドレスデータとパルス生成用制御データとの間でスキュー（タイミングのずれ）が発生するおそれがない。後述するように、パルス生成用制御データは受信側（駆動部 100B 側）のアドレスドライバ部 18 において駆動パルスを発生させるための電源電圧パルスを所定のタイミングで生じさせるデータとして使用されるが、アドレスデータとパルス生成用制御データの間でスキューを発生しないため、アドレスデータに従った正しい駆動パルスを正しいタイミングで確実に発生させることができる。また、スキューを打ち消すための遅延回路等、タイミング合わせのための手段を必要としない。アドレスドライバ部 18 の動作については、さらに後述する。

【0019】

図 1 に示すように、シリアライザ 11 は、制御部 5 からのクロックを受けて送信クロックを生成する PLL 部 111 と、制御部 5 から出力されたスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制

御データ、およびクロックを、それぞれ制御部 5 から出力されたクロックに基づいてラッチする入力ラッチ部 1 1 2 と、入力ラッチ部 1 1 2 によりラッチされたパラレルデータを、制御部 5 から入力されたクロックの n 倍の周波数のクロックに基づいてシリアル化するパラレル／シリアル変換部 1 1 3 と、パラレル／シリアル変換部 1 1 3 から出力されたシリアルデータをツイストケーブル等からなる伝送ライン L 2 を介して差動シリアル送信する送信出力部 1 1 4 と、を備える。

【 0 0 2 0 】

デシリアライザ 1 2 は、伝送ライン L 2 を介して転送された差動シリアル信号を受信する受信部 1 2 1 と、伝送ライン L 2 を介して転送された転送クロックを受けてクロックを生成する PLL 部 1 2 2 と、受信部 1 2 1 から出力されるシリアル信号を PLL 部 1 2 2 からの、転送クロックの n 倍の周波数のクロックに基づいてパラレルデータ化するシリアル／パラレル変換部 1 2 3 と、シリアル／パラレル変換部 1 2 3 から出力されたパラレルデータを PLL 部 1 2 2 からのクロックでラッチする出力ラッチ部 1 2 4 と、を備える。なお、上記転送クロックおよび出力ラッチ部 1 2 4 に与えられるクロックは、PLL 部 1 1 1 に入力されるクロックと同一周波数である。

【 0 0 2 1 】

図 1 に示すように、駆動制御部 2 2 には、デシリアライザ 1 2 から出力されたクロックが与えられ、駆動制御部 2 2 はこのクロックに基づいて駆動パルスの発生タイミングを制御する。

【 0 0 2 2 】

次に、パネル駆動装置 1 0 0 の動作について説明する。

【 0 0 2 3 】

プラズマディスプレイパネル 3 0 を駆動する期間としての 1 フィールドは、複数のサブフィールド SF 1 ～ SF N により構成される。図 2 に示すように、各サブフィールドには、点灯させるセルを選択するアドレス期間と、そのアドレス期間において選択されたセルを所定時間点灯させ続けるサステイン期間とが設けられている。また、最初のサブフィールドである SF 1 の先頭部分には、前のフィールドでの点灯状態をリセットするためのリセット期間がさらに設けられている。

。このリセット期間では、すべてのセルを点灯セル（壁電荷が形成されているセル）に、または消灯セル（壁電荷が形成されていないセル）にリセットする。前者の場合には、所定のセルを消灯セルに切換え、後者の場合には、後続のアドレス期間において所定のセルを点灯セルに切換える。サステイン期間はサブフィールド S F 1 ~ S F N の順に段階的に長くされており、点灯させ続けるサブフィールドの個数を変化させることにより、所定の階調表示が可能とされている。

【 0 0 2 4 】

図 3 に示す各サブフィールドのアドレス期間では、1 ラインごとにアドレス走査が行われる。すなわち、第 1 のラインを構成する行電極 Y 1 に走査パルスが印加されると同時に、列電極 Z 1 ~ Z m に第 1 のラインのセルに対応するアドレスデータに応じたデータパルス D P 1 が印加され、次に第 2 のラインを構成する行電極 Y 2 に走査パルスが印加されると同時に、列電極 Z 1 ~ Z m に第 2 のセルに対応するアドレスデータに応じたデータパルス D P 2 が印加される。第 3 のライン以下についても同様に走査パルスおよびデータパルスが同時に印加される。最後に、第 n のラインを構成する行電極 Y n に走査パルスが印加されると同時に、列電極 Z 1 ~ Z m に第 n のラインのセルに対応するアドレスデータに応じたデータパルス D P n が印加される。上記のようにアドレス期間では、所定のセルを点灯セルから消灯セルに、または消灯セルから点灯セルに切換える。

【 0 0 2 5 】

このようにしてアドレス走査が終了すると、サブフィールドにおけるすべてのセルが、それぞれ点灯セルあるいは消灯セルのいずれかに設定されており、次のサステイン期間においてサステインパルスが印加されるごとに点灯セルのみ発光を繰り返す。図 3 に示すように、サステイン期間では行電極 X 1 ~ X n および行電極 Y 1 ~ Y n に対し、X サステインパルスおよび Y サステインパルスが、それぞれ所定のタイミングで繰り返し印加される。そして、最後のサブフィールド S F N には、全セルを消灯セルに設定する消去期間が設けられている。

【 0 0 2 6 】

次に、プラズマディスプレイパネル 3 0 の駆動に用いられる各種制御データおよびクロックの信号処理について説明する。

【0027】

図1に示すように、フレームメモリ1から読み出されたアドレスデータ、アンド回路6から出力されたシフトクロック、および制御部5から出力されたパルス生成用制御データは、制御部5からのクロックに基づいてパラレル／シリアル変換部73によりシリアル変換され、送信出力部74により差動シリアル伝送方式（LVDS伝送方式）に従った信号に変換される。このようにして得られた差動シリアル信号（LVDS信号）が、伝送ラインL1を介して高速LVDSデータ転送される。ここで、アドレスデータはR、G、Bの各セルに対するサブフィールドごとのビットデータ（シリアルデータ）であり、R、G、Bのそれぞれのシリアルデータがシフトクロックおよびパルス生成用制御データとともにシリアルライザ7にパラレルに入力される。これらのパラレルデータが、シリアルライザ7においてシリアル変換される。

【0028】

伝送ラインL1を介して転送されたシリアル信号は、デシリアルライザ8においてパラレル変換され、元のパラレル信号が復元される。

【0029】

図4はアドレスデータの書込みとラッチイネーブルのタイミングを示す図である。デシリアルライザ8から出力されたアドレスデータは1ライン分ずつ順次シフトレジスタ15に書き込まれる。図4に示すように、1ライン分の最後のデータ（データz）を書き込むためのシフトクロックの立ち上がりと同時に、ラッチ回路16に入力されるラッチイネーブルが立ち上がるため、1ライン分のデータ（例えば、データa～データz）がラッチされてアドレスドライバ17に同時に入力される。これにより、上記のように、アドレス期間において行電極Y1～Ynに順次走査パルスが印加されると同時に、列電極Z1～Zmに所定のアドレスデータに応じたデータパルスDP1～DPnが印加される。このラッチイネーブルはシフトクロックに基づいてラッチイネーブル生成部16Aにおいて生成される。

【0030】

ところで、本実施形態では、フレームメモリ1からアドレスデータを読み出し

ている間のみ読出制御部3から信号HAを出力するようにしている。図1に示すように、この信号HAおよび制御部5から出力されるクロックをアンド回路6に入力することによって、信号HAが出力されている（「H」となっている）期間のみクロックを通過させ、シフトクロックとして出力している。すなわち、フレームメモリ1からアドレスデータが読み出されていない期間には、シフトクロックの供給を停止するようにしている。このため、図4に示すように、アドレスデータが読み出されていない期間はシフトクロックが供給されないので、この間、シフトレジスタ15のデータが更新されず、シフトレジスタ15では正規のラッチイネーブルの信号が立ち上がったときの記憶状態が維持される。このため、図4に示すように、ノイズがラッチイネーブルに重畳された場合でも、ノイズによりラッチされるデータが正規のアドレスデータと同一となる。したがって、ノイズによって誤ったタイミングでアドレスデータがラッチされたとしてもプラズマディスプレイ30には正常なアドレスデータに従ったデータパルスが印加されることとなる。

【0031】

デシリアライザ8から出力されたパルス生成用制御データは、アドレスドライバ17に向けて電源電圧パルスを出力するアドレス共振電源回路17A（図1）に設けられたスイッチのオン／オフを制御するためのデータである。アドレス共振電源回路17Aの具体例については後述する。

【0032】

一方、図1に示すように、制御部5から出力されたスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックは、制御部5からのクロックに基づいてパラレル／シリアル変換部113によりシリアル変換され、送信出力部114により差動シリアル伝送方式（LVDS伝送方式）に従った信号に変換される。このようにして得られた差動シリアル信号（LVDS信号）が、伝送ラインL2を介して高速LVDSデータ転送される。ここで、スキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックはシリアライザ11にパラレルに入力され、これらのパラレルデータが、シリアライザ11におい

てシリアル変換される。

【0033】

伝送ラインL2を介して転送されたシリアル信号は、デシリアライザ12においてパラレル変換され、元のパラレル信号が復元される。

【0034】

デシリアライザ12から出力されたスキन्दライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データは、それぞれ駆動制御部22に入力される。駆動制御部22では、スキन्दライバ用制御データに基づいてスキन्दライバ20に設けられたスイッチング素子をオン／オフする信号を、サステインドライバ用制御データに基づいてサステインドライバ19、21に設けられたスイッチング素子をオン／オフする信号を、その他のパルス生成用制御データに基づいてリセットパルス、消去パルス等を発生させるためのスイッチング素子をオン／オフする信号を、それぞれ生成する。

【0035】

上記のように、駆動制御部22には、デシリアライザ12から出力されたパラレル信号に含まれるクロックが与えられ、駆動制御部22はこのクロックに基づいて動作タイミングを制御する。

【0036】

次に、図5および図6を参照して、アドレス共振電源回路17Aおよびアドレスドライバ17の具体例について説明する。

【0037】

図5に示すアドレス共振電源回路17Aは、所定の振幅を有する共振パルス電源電位を発生して示す電源ラインZに出力する。アドレス共振電源回路17AにおけるコンデンサC1Pは、その一端がプラズマディスプレイ30の接地電位 V_s に接地されている。スイッチング素子S1Pがオン状態の場合には、上記コンデンサC1Pの他端に生じた電位をコイルL1PおよびダイオードD1Pを介して電源ラインZに印加する。スイッチング素子S2Pがオン状態の場合には電源ラインZの電位をコイルL2PおよびダイオードD2Pを介してコンデンサC1Pの他端に印加する。この際、コンデンサC1Pは電源ラインZ上の電位によ

て充電される。スイッチング素子 $S3P$ がオン状態の場合には、直流電源 $B1P$ による電源電位 V_a を電源ライン Z 上に印加する。なお、この直流電源 $B1P$ の負側端子は、プラズマディスプレイパネル 30 の接地電位 V_s に接地されている。

【0038】

図5に示すように、アドレスドライバ17には、デシリアライザ8から出力された1行分 (m 個) の画素データビット $DB1 \sim DBm$ の各々に応じて、それぞれ独立してオン/オフ制御されるスイッチング素子 $SWZ1 \sim SWZm$ および $SWZ1o \sim SWZmo$ が設けられている。スイッチング素子 $SWZ1 \sim SWZm$ の各々は、それぞれに供給された画素データビット DB が論理レベル“1”である場合に限りオン状態となって、電源ライン Z 上に印加されている共振パルス電源電位をプラズマディスプレイパネル30の列電極 $Z1 \sim Zm$ に印加する。一方、スイッチング素子 $SWZ1o \sim SWZmo$ 各々は、それぞれ画素データビット DB が論理レベル“0”である場合に限りオン状態となって、列電極上の電位を接地電位 V_s に接地する。

【0039】

以下に、図6を参照してアドレス共振電源回路17Aおよびアドレスドライバ17のアドレス期間における動作について説明する。

【0040】

図5に示すように、アドレス共振電源回路17Aには、制御部5から出力され転送されてきたパルス生成用制御データが入力される。このパルス生成用制御データは、スイッチング素子 $SW1P \sim SW3P$ をオン/オフするためのデータである。図6に示すように、パルス生成用制御データに従ってスイッチング素子 $SW1P$ 、 $SW3P$ 、 $SW2P$ が順に繰り返しオンするように各スイッチング素子が反転を繰り返す。このような動作により、電源ライン Z 上の電位が周期的に上昇する。この周期的な電位の上昇区間はスキンドライバ20による走査タイミングに一致している。

【0041】

このとき、電源ライン Z 上の電位が上昇しているタイミングにあわせて、アド

レスドライバ17のスイッチング素子SWZ1～SWZmおよびSWZ1o～SWZmoには、所定の列電極Z1～Zmに対応した画素データビットDBが入力される。図6では、第i列における第1行～第7行に対応した画素データビットDBのビット系列が、

[1、0、1、0、1、0、1]

の場合を示している。この画素データビットDBは、ラッチ回路16によりラッチされたアドレスデータに他ならない。アドレス期間では、以上のような動作を各列について順次実行することにより、各列ごとにセルを点灯セル／消灯セルに設定することができる。

【0042】

このように、アドレス共振電源回路17Aには、制御部5から出力され転送されてきたパルス生成用制御データが入力され、パルス生成用制御データの入力タイミングに対応して電源ラインZ上の電位が周期的に上昇する。そして、電源ラインZ上の電位が上昇しているタイミングにあわせて、アドレスドライバ17に画素データビットDBを入力する必要がある。しかし、本実施形態の表示パネル駆動装置100では、アドレスデータおよびパルス生成用制御データの両者をシリアルライザ7によりシリアルデータに変換し、これを転送しているため、アドレスデータとパルス生成用制御データとの間でスキューが発生するおそれがない。このため、アドレス共振電源回路17Aに入力されるパルス生成用制御データの入力タイミングと、アドレスドライバ17に入力される画素データビットDBの入力タイミングとが、ずれることによる誤動作の発生を防止することができる。

【0043】

次に、図7および図8を参照して、サステインドライバ19、21およびスキヤンドライバ20等の具体例について説明する。

【0044】

サステインドライバ21は、直流の電圧VSを発生する直流電源B1、スイッチング素子S1～S4、コイルL1およびL2、ダイオードD1およびD2、コンデンサC1から構成される。スイッチング素子S1がオン状態の場合には、コンデンサC1の一端上の電位を、コイルL1およびダイオードD1を介して行電

極 X_i に印加する。スイッチング素子 S_2 がオン状態の場合には、行電極 X_i 上の電位を、コイル L_2 およびダイオード D_2 を介してコンデンサ C_1 の一端に印加する。スイッチング素子 S_3 がオン状態の場合には、直流電源 B_1 が生成する電圧 V_S を行電極 X_i に印加する。スイッチング素子 S_4 がオン状態の場合には、行電極 X_i を接地する。

【0045】

サステインドライバ 21 のスイッチング素子 $S_1 \sim S_4$ は、制御部 5 から出力され転送されてきたサステインドライバ用制御データに基づいてオン／オフが制御される。

【0046】

リセットパルス発生回路 21 A は、直流の電圧 V_{Rx} を発生する直流電源 B_2 、スイッチング素子 S_7 、抵抗 R_1 から構成される。直流電源 B_2 の正側端子は接地されており、その負側端子はスイッチング素子 S_7 に接続されている。スイッチング素子 S_7 がオン状態の場合、直流電源 B_2 の負側端子電圧である電圧 $-V_R$ を、抵抗 R_1 を介して行電極 X_i に印加する。

【0047】

リセットパルス発生回路 21 A のスイッチング素子 S_7 は、制御部 5 から出力され転送されてきたその他のパルス生成用制御データに基づいてオン／オフが制御される。

【0048】

サステインドライバ 19 は、直流の電圧 V_S を発生する直流電源 B_3 、スイッチング素子 $S_{11} \sim S_{14}$ 、コイル L_3 および L_4 、ダイオード D_3 および D_4 、コンデンサ C_2 から構成される。スイッチング素子 S_{11} がオン状態の場合、コンデンサ C_2 の一端上の電位を、コイル L_3 およびダイオード D_3 を介してライン 31 上に印加する。スイッチング素子 S_{12} がオン状態の場合、ライン 31 上の電位を、コイル L_4 およびダイオード D_4 を介してコンデンサ C_2 の一端に印加する。スイッチング素子 S_{13} がオン状態の場合、直流電源 B_3 が発生した電圧 V_S をライン 31 に印加する。スイッチング素子 S_{14} がオン状態の場合、ライン 31 を接地する。

【0049】

サステインドライバ19のスイッチング素子S11～S14は、制御部5から出力され転送されてきたサステインドライバ用制御データに基づいてオン／オフが制御される。

【0050】

次に、リセットパルス発生回路20Aは、直流の電圧 V_{Ry} （但し、 $|V_{Ry}| < |V_{Rx}|$ ）を発生する直流電源B4、スイッチング素子S15、S16、抵抗R2から構成される。直流電源B4の正側端子は接地されており、その負側端子はスイッチング素子S16に接続されている。スイッチング素子S16がオン状態の場合、直流電源B4の正側端子電圧である電圧 V_{Ry} を、抵抗R2を介してライン32上に印加する。スイッチング素子S15がオン状態の場合には、ライン31とライン32とを接続する。

【0051】

リセットパルス発生回路20Aのスイッチング素子S15、S16は、制御部5から出力され転送されてきたその他のパルス生成用制御データに基づいてオン／オフが制御される。

【0052】

スキャンドライバ20は、行電極Y1～Ynごとに設けられており、それぞれ直流の電圧 V_h を発生する直流電源B5、スイッチング素子S21、S22、ダイオードD5およびD6から構成される。スイッチング素子S21がオン状態の場合、直流電源B5の正側端子と、行電極Yと、ダイオードD6のカソード端とを共に接続する。スイッチング素子S22がオン状態のとき、直流電源B5の負側端子と、行電極Yと、ダイオードD5のアノード端とを共に接続する。

【0053】

スキャンドライバ20のスイッチング素子S21、S22は、制御部5から出力され転送されてきたスキャンパルス用制御データに基づいてオン／オフが制御される。

【0054】

図8はアドレスドライバ17、サステインドライバ19および21、スキャン

ドライバ 2 0、リセットパルス発生回路 2 0 A および 2 1 A の各々から、プラズマディスプレイパネル 3 0 の列電極 Z 1 ~ Z m、行電極 X 1 ~ X n および Y 1 ~ Y n に印加される各種駆動パルスの印加タイミングの一例を示す図である。

【 0 0 5 5 】

図 8 に示すように、リセット期間 R c ではリセットパルス発生回路 2 1 A および 2 0 A が行電極 X 1 ~ X n および Y 1 ~ Y n の各々に対してリセットパルス R P X 1 および R P Y 1 を同時に印加する。これにより、すべてのセルにおいて行電極間で放電が生じて、各セルには一様の壁電荷が形成される。これによりすべてのセルが点灯セルに初期化される。

【 0 0 5 6 】

アドレス期間 W c では、アドレスドライバ 1 7 が、各行ごとの画素データパルス群を順次列電極 Z 1 ~ Z m に印加していく。この画素データパルス群は上記画素データビット D B のビット系列に対応している。このとき、スキヤンドライバ 2 0 は、画素データパルス群の印加と同一タイミングで走査パルス S P を発生し、走査パルス S P を行電極 Y 1 ~ Y n へと順次印加していく。このとき、セルでは一方の行電極に走査パルス S P が印加され、且つ列電極に高電圧の画素データパルスが印加された場合にのみ行電極と列電極との間で放電（選択消去放電）が生じ、そのセルに残存していた壁電荷が消去され、そのセルは消灯セルに移行する。その他のセルについては壁電荷が残留し、それらのセルは点灯セルのまま維持される。このようにして、アドレス期間 W c では、すべてのセルをアドレスデータに従って点灯セルおよび消灯セルに設定する。

【 0 0 5 7 】

次に、サステイン期間 I c では、サステインドライバ 2 1 および 1 9 は、行電極 X 1 ~ X n および Y 1 ~ Y n に対して交互に、パルス振幅 V s のサステインパルス I P X および I P Y を印加する。このとき、アドレス期間において壁電荷が残留している点灯セルのみが繰り返して発光する。

【 0 0 5 8 】

また、1 フィールド内の最後のサブフィールド（図 8 では、サブフィールド S F 1 4）には消去期間 E が設けられ、ここではアドレスドライバ 1 7 は消去パル

ス A P を発生して、これを列電極 Z 1 ~ Z m に印加する。一方、スキन्दライバ 2 0 は消去パルス A P と同時に消去パルス E P を発生してこれを行電極 Y 1 ~ Y n 各々に印加する。これら消去パルス A P および E P の同時印加により、すべてのセルで消去放電が発生し、壁電荷が消滅する。

【 0 0 5 9 】

図 9 はこのような選択消去アドレス法を採用した場合に、アドレスドライバ 1 7、サステインドライバ 1 9 および 2 1、スキन्दライバ 2 0、リセットパルス発生回路 2 0 A および 2 1 A からプラズマディスプレイパネル 3 0 に印加する駆動パルスの印加タイミングおよび各スイッチ素子の切り替えタイミングを示す図である。

【 0 0 6 0 】

図 9 についての詳細説明は省略するが、このように、アドレスドライバ 1 7、サステインドライバ 1 9 および 2 1、スキन्दライバ 2 0、リセットパルス発生回路 2 0 A および 2 1 A に設けられた多数のスイッチング素子を制御することにより、所望の駆動パルスをプラズマディスプレイパネル 3 0 の各電極に印加することができる。

【 0 0 6 1 】

以上説明したように、本実施形態の形態の表示パネル駆動装置 1 0 0 では、アドレスデータおよびパルス生成用制御データの両者をシリアルライザ 7 によりシリアルデータに変換して転送しているため、アドレスデータとパルス生成用制御データとの間でスキューが発生するおそれがない。したがって、スキューに起因する誤動作の発生を防止することができ、遅延回路等のタイミング合わせのための手段を必要としない。

【 0 0 6 2 】

なお、本実施形態では、L V D S を用いた差動シリアル伝送方式を採用しているため、ノイズの影響を受けにくく、外部に対するノイズの輻射が減少する等の利点がある。

【 0 0 6 3 】

上記実施形態では、表示パネルとしてプラズマディスプレイパネルを例示して

いるが、本発明は表示パネルとして液晶表示パネル、E L表示パネル等の各種パネルに対し適用できる。

【図面の簡単な説明】

【図 1】

本実施形態の表示パネル駆動装置を示すブロック図。

【図 2】

1 フィールドの構成を示す図。

【図 3】

1 サブフィールド内の駆動パルスを示す図。

【図 4】

ラッチイネーブルによりラッチされるアドレスデータを示す図。

【図 5】

アドレス共振電源回路およびアドレスドライバの構成を示す図。

【図 6】

アドレス共振電源回路およびアドレスドライバのアドレス期間における動作を示す図。

【図 7】

サステインドライバおよびスキन्दライバ等の構成を示す図。

【図 8】

列電極および行電極に印加される各種駆動パルスの印加タイミングの一例を示す図。

【図 9】

選択消去アドレス法を採用した場合における駆動パルスの印加タイミングおよび各スイッチ素子の切り替えタイミングを示す図。

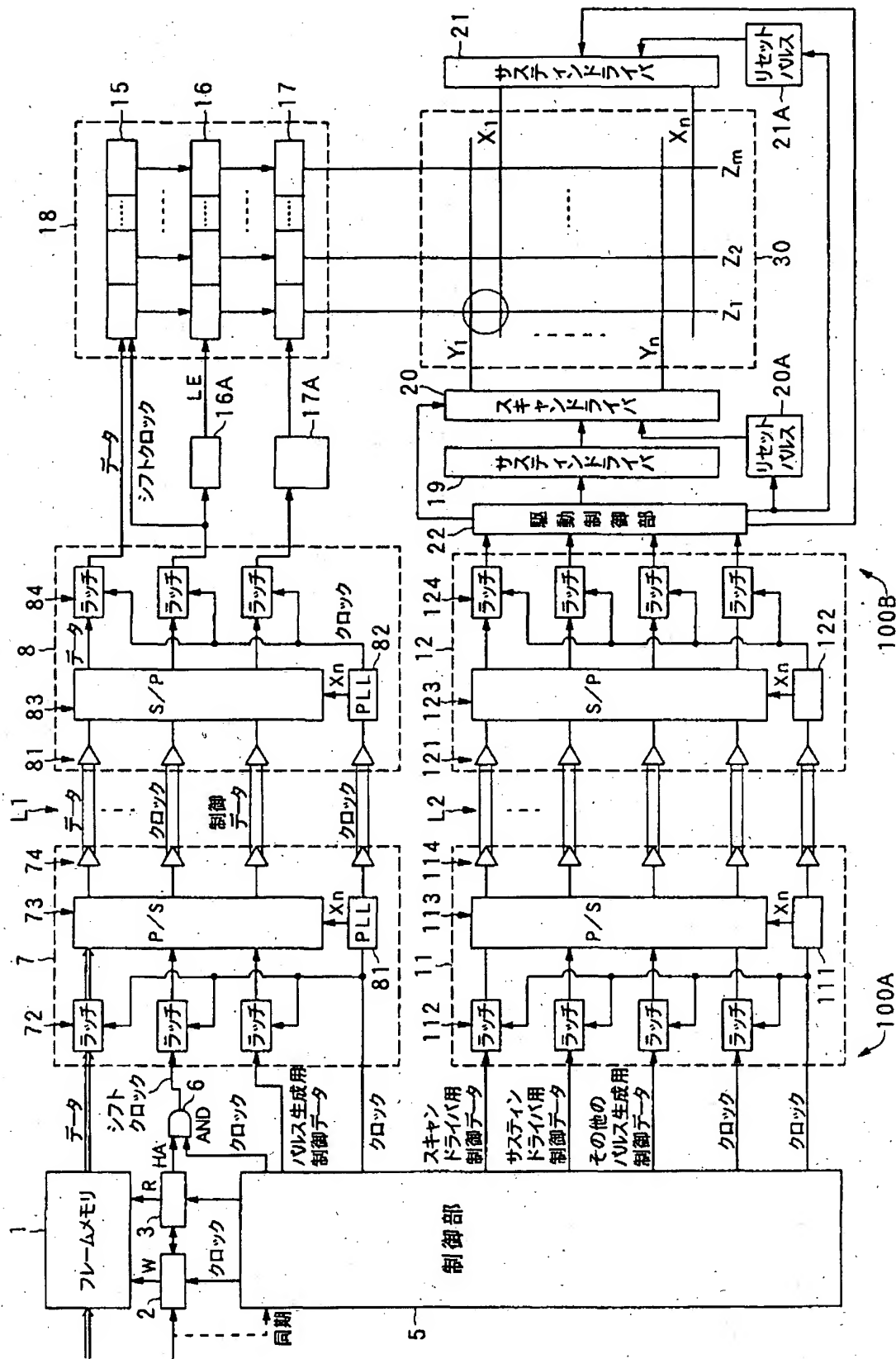
【符号の説明】

- 1 フレームメモリ（記憶部）
- 3 読出制御部（読出部）
- 5 制御部（制御データ発生部）
- 15 シフトレジスタ

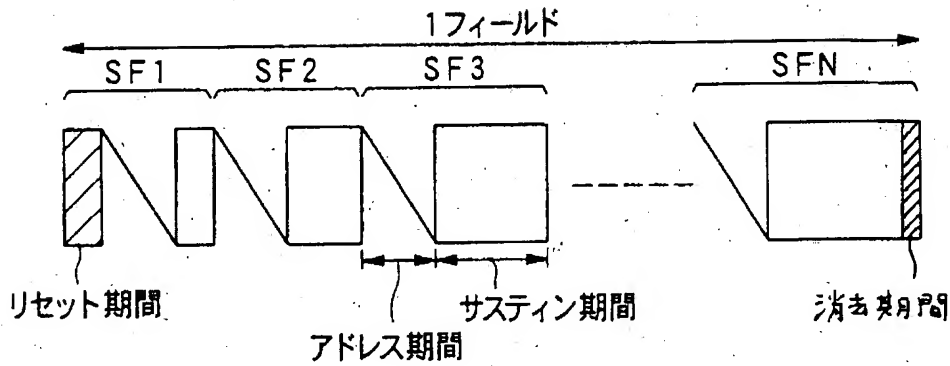
- 1 6 ラッチ回路
- 1 7 アドレスドライバ（駆動回路）
- 1 7 A アドレス共振電源回路（電源回路）
- 1 8 アドレスドライバ部（駆動パルス出力部）
- 3 0 プラズマディスプレイパネル（表示パネル）
- 7 3 パラレル／シリアル変換器
- 7 4 送信出力部（送信部）
- 8 1 受信部
- 8 3 シリアル／パラレル変換器
- 1 0 0 A 表示制御部
- 1 0 0 B 駆動部
- L 1 伝送ライン

【書類名】 図面

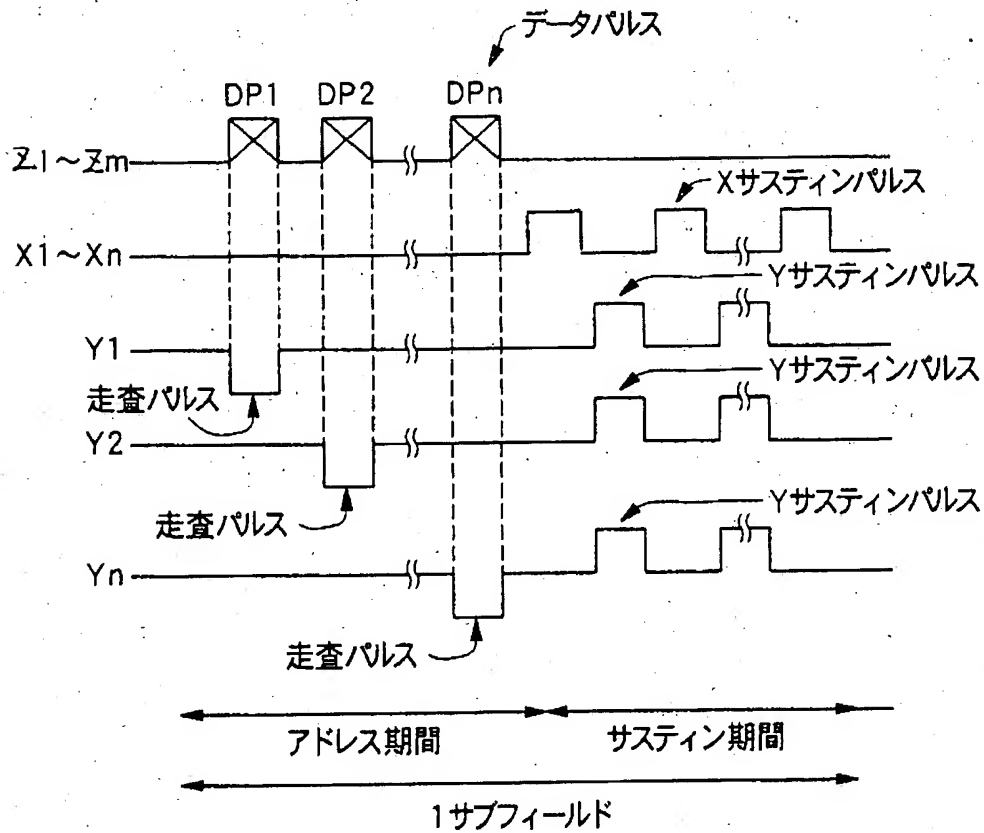
【図1】



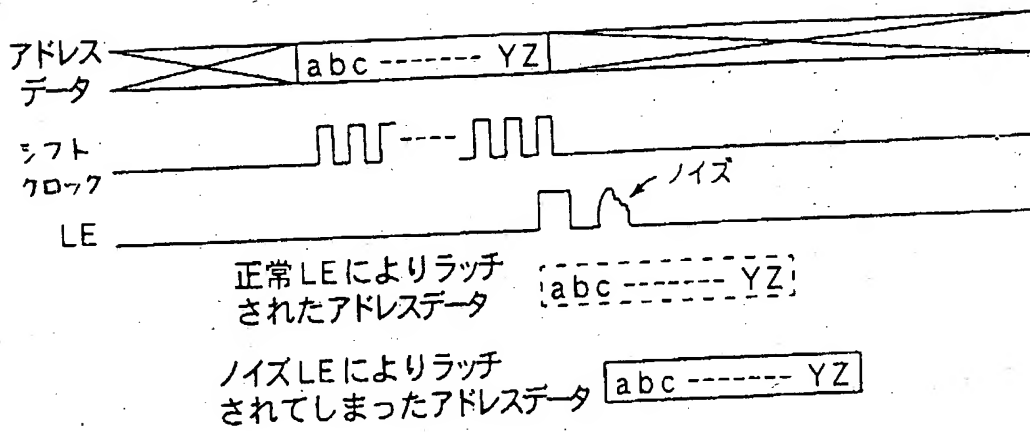
【図2】



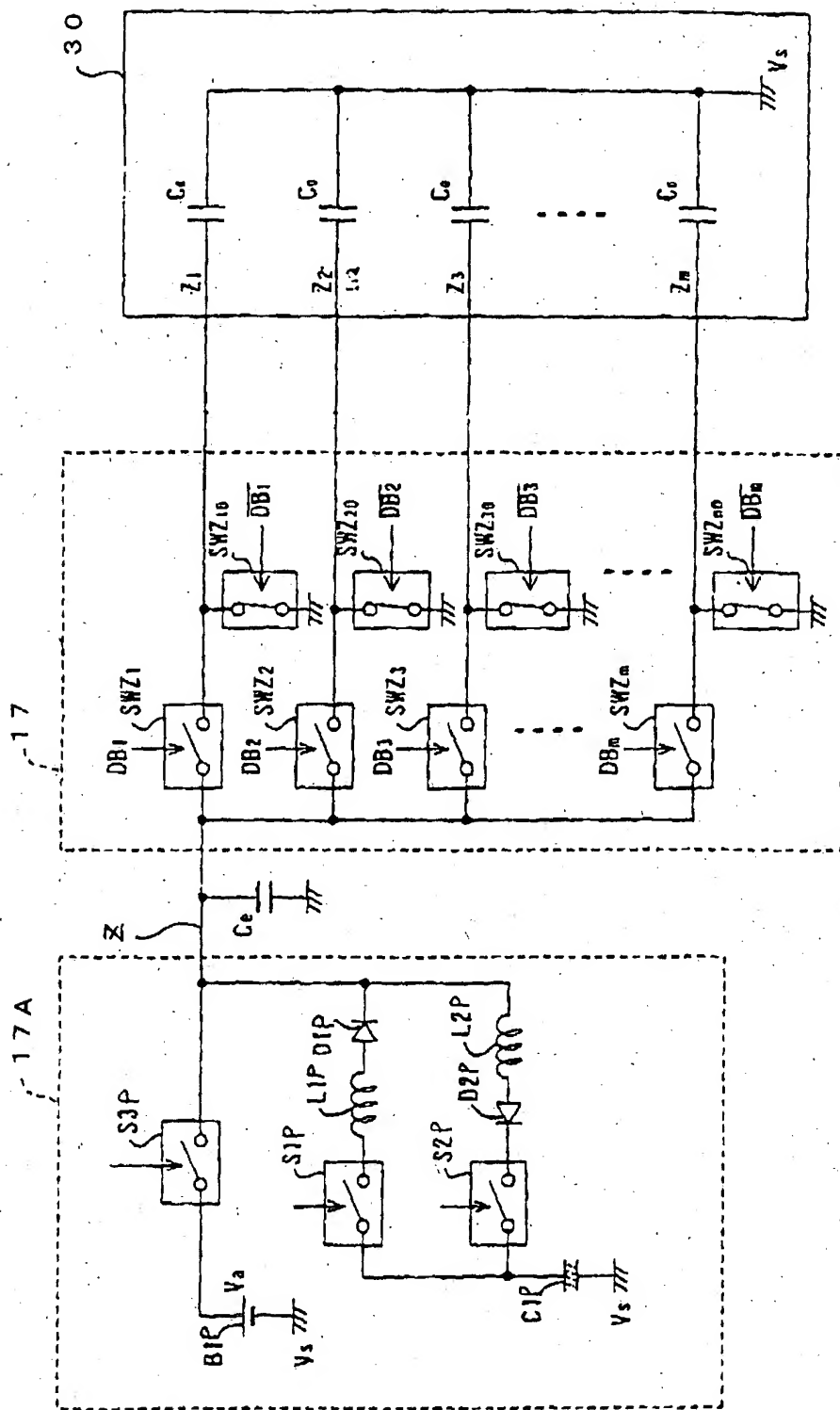
【図3】



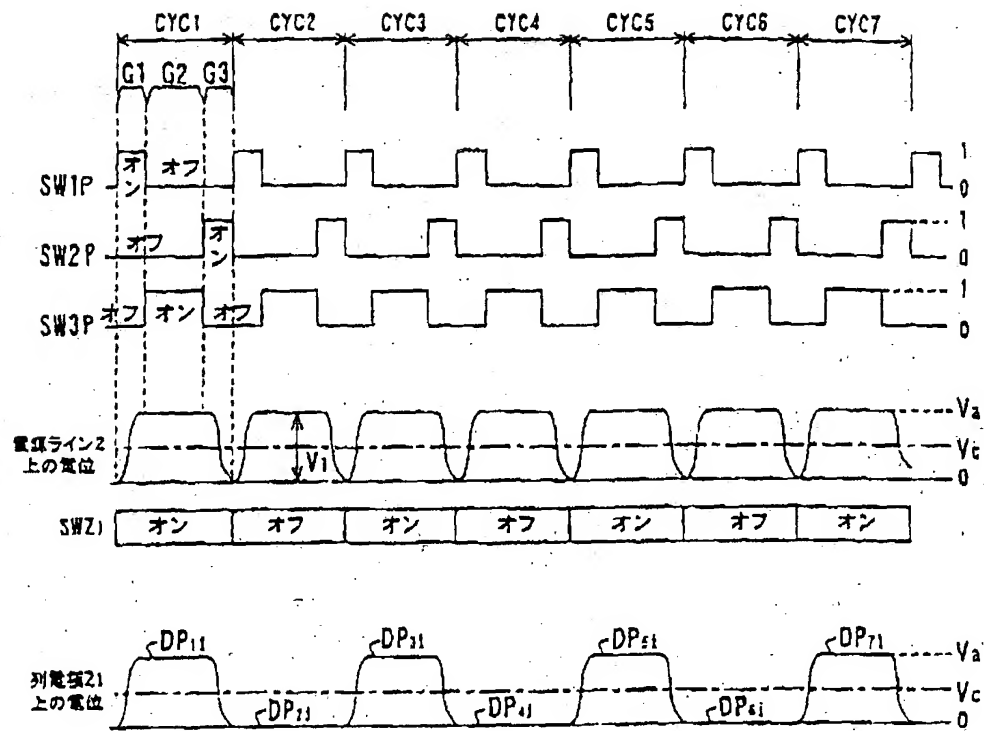
【図4】



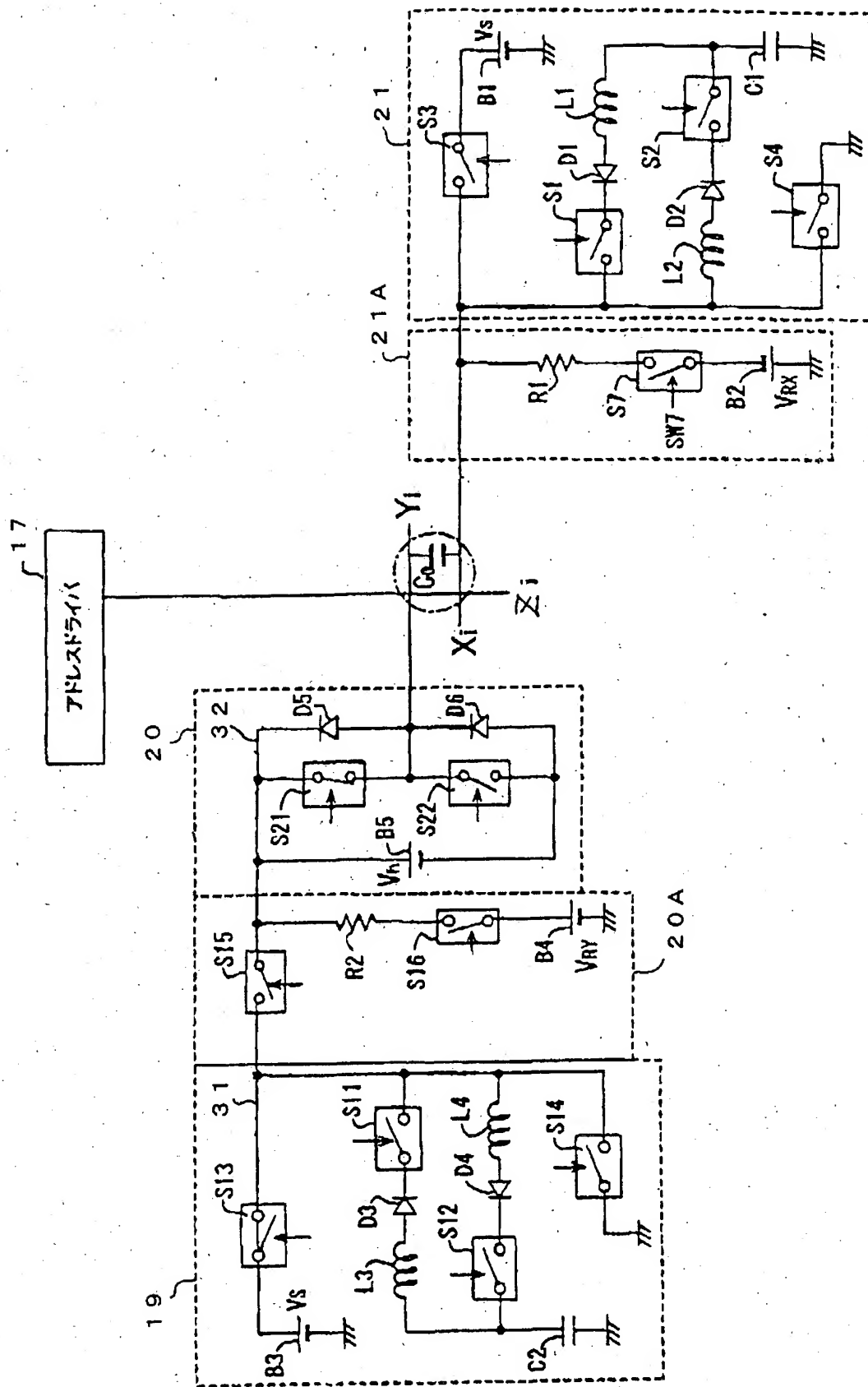
【図5】



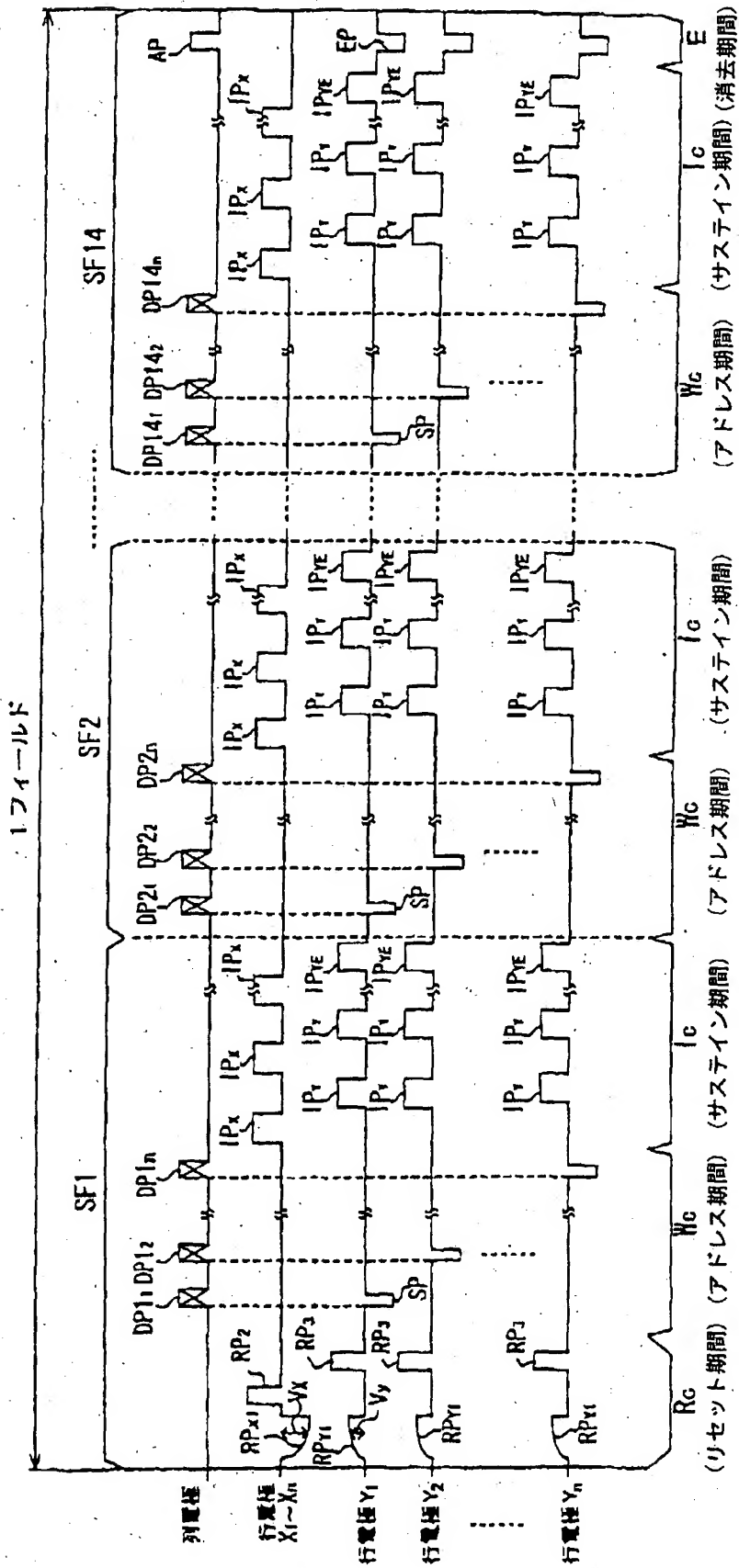
【図6】



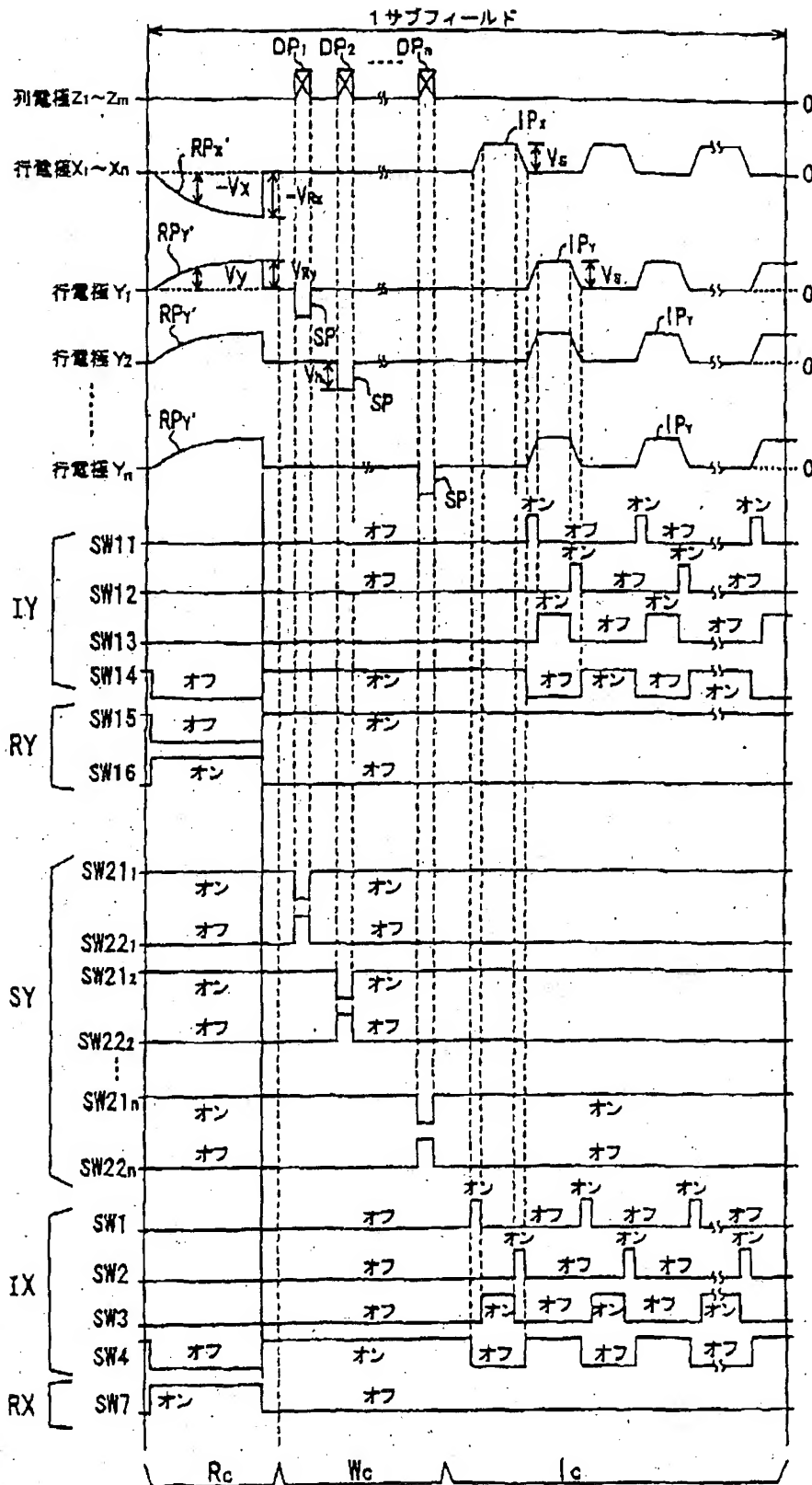
【圖 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 信号間のスキューを排除することができる表示パネル駆動装置等を提供する。

【解決手段】 アドレスデータおよびパルス生成用制御データをパラレル／シリアル変換するパラレル／シリアル変換器 7 3 と、パラレル／シリアル変換器 7 3 により変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ライン L 1 を介して転送する出力送信部 7 4 と、伝送ライン L 1 を介して転送されたアドレスデータおよびパルス生成用制御データを受信する受信部 8 1 と、受信部 8 1 により受信されたアドレスデータおよびパルス生成用制御データをシリアル／パラレル変換するシリアル／パラレル変換器 8 3 とを備える。アドレスドライバ 1 7 では、シリアル／パラレル変換器 8 3 により変換されたアドレスデータおよび受信されたパルス生成用制御データに基づいて、プラズマディスプレイパネル 3 0 を駆動する駆動パルスを生成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都目黒区目黒1丁目4番1号

氏 名 パイオニア株式会社

出 願 人 履 歴 情 報

識別番号

[398050283]

1. 変更年月日 1998年 7月16日

[変更理由] 新規登録

住 所 静岡県袋井市鷺巣字西ノ谷15の1

氏 名 静岡パイオニア株式会社